

【特許請求の範囲】

【請求項1】トレンチキャバシタ半導体メモリ構造を作製する方法において、

(a) 少なくとも1つの蓄積トレンチ領域と、前記蓄積トレンチに隣接し隆起した浅いトレンチ分離(STI)領域とを有する半導体基板またはウエハを備える半導体構造を設ける工程を含み、前記半導体構造は、前記基板またはウエハ内に形成される部分ゲート導体スラックの予め形成された層を有し、これらの層は、前記蓄積トレンチ領域と前記隆起したSTI領域とにより離間されており、

(b) 前記蓄積トレンチ領域内に下部電極を形成する工程と、

(c) 前記下部電極と前記蓄積トレンチ領域の内側壁との間に感温性の高誘電率材料を形成する工程と、

(d) 前記感温性の高誘電率材料の上に上部電極を形成する工程と、

(e) 前記蓄積トレンチ領域をポリシリコンで充填する工程と、

(f) 前記蓄積トレンチ領域にキャバシタの作製を完了する工程と、

(g) 前記予め形成されたゲート導体スラック層から、バーナーニングされたゲート導体領域を形成する工程と、

(h) トレンチキャバシタ半導体メモリセルの作製を完了するため、連続するデバイス接続を形成する工程とを含む、ことを特徴とするトレンチキャバシタ半導体メモリ構造を作製する方法。

【請求項2】前記STI領域と前記部分ゲート導体スラック層とは、前記トレンチ蓄積キャバシタの作製の前に形成されることを特徴とする請求項1記載の方法。

【請求項3】前記半導体基板またはウエハは、Si₁Ge_x, GeAs, InAs, InP, および他のすべてのIII/V族化合物からなる群から選ばれる半導体材料からなることを特徴とする請求項1記載の方法。

【請求項4】前記半導体基板またはウエハは、Siからなることを特徴とする請求項1記載の方法。

【請求項5】前記浅いトレンチ分離領域は、熱二酸化シリコン層と浅いトレンチ分離誘電体とを有することを特徴とする請求項1記載の方法。

【請求項6】前記予め形成された部分ゲート導体スラックは、下部ゲート酸化物層と、ポリシリコンの中央部層と、上部バリア層とからなり、これらの層は前記半導体基板またはウエハ上に順に形成されることを特徴とする請求項1記載の方法。

【請求項7】前記下部および上部電極は、RuO₂, SrRuO₃, La-Sr-Co-O, IrO₂, Pt, およびIrからなる群から選ばれる、同じまたは異なる導電性材料から形成されることを特徴とする請求項1記載の方法。

【請求項8】前記下部および上部電極は、化学的蒸着、

有機金属化学的蒸着、電気メッキ、および無電解メッキからなる群から選ばれる付着方法により形成されることを特徴とする請求項1記載の方法。

【請求項9】前記工程(b)の前に、拡散バリア層が前記蓄積トレンチ内に形成されることを特徴とする請求項1記載の方法。

【請求項10】前記拡散バリア層は、化学的蒸着または物理的蒸着により形成されることを特徴とする請求項9記載の方法。

【請求項11】前記拡散バリア層は、TiN, TiAlN, CoSi, またはTaSiNからなることを特徴とする請求項9記載の方法。

【請求項12】前記感温性の高誘電率材料は、550°Cより大きい温度にさらされたとき、不安定になり、またシリコンを酸化する材料であり、約7以上の誘電率を有することを特徴とする請求項1記載の方法。

【請求項13】前記感温性の高誘電率材料は、約20~約10,000の誘電率を有することを特徴とする請求項12記載の方法。

【請求項14】前記感温性の高誘電率材料は、バリウムストロンチウムチタニウム複合酸化物(BSTO), 鉛ジルコニウムチタニウム複合酸化物(PZTO), ストルンチウムビスマタンタル酸塩(SBT), およびTa₂O₅からなる群から選ばれる材料であることを特徴とする請求項1記載の方法。

【請求項15】前記感温性の高誘電率材料は、BSTOであることを特徴とする請求項1記載の方法。

【請求項16】前記感温性の高誘電率材料は、化学的蒸着およびスパッタリングからなる群から選ばれる付着方法により形成されることを特徴とする請求項1記載の方法。

【請求項17】工程(e)の前記ポリシリコンは、ドープントでドープされることを特徴とする請求項1記載の方法。

【請求項18】前記ドープントは、N⁺ドープントであることを特徴とする請求項17記載の方法。

【請求項19】前記蓄積トレンチ領域は、約1~約10μmの深さを有することを特徴とする請求項1記載の方法。

【請求項20】工程(d)後ではあるが工程(e)の前に、導電性バリア層が前記上部電極上に形成されることを特徴とする請求項1記載の方法。

【請求項21】前記導電性バリア層は、TiN, TiAlN, CoSi, またはTiSiNであることを特徴とする請求項2記載の方法。

【請求項22】前記ポリシリコンから前記半導体基板またはウエハ内にドープントの外方拡散を生じさせて、横方向寸法が50nmより小さい埋込みストラップ外方拡散を形成する、連続するゲート側壁酸化工程とアーチル工程をさらに含むことを特徴とする請求項17記載の方法。

法。

【請求項23】前記外方拡散領域の横方向寸法は、約1.5nm～約30nmであることを特徴とする請求項2.2記載の方法。

【請求項24】半導体基板またはウエハ内に設けられたトレンチ内に形成されたキャバシタと、

前記半導体基板またはウエハ内に形成されたMOSFETとを備え、前記MOSFETは、少なくとも1つのバターニングされたゲート導体スタックと、ソース／ドレイン領域とを有し、前記キャバシタと前記MOSFETとは、横向外方拡散が約0nmより小さい埋込みストラップ外方拡散領域により接続されることを特徴とするメモリセル。

【請求項25】前記横方向外方拡散は、約1.5～約30nmであることを特徴とする請求項2.4記載のメモリセル。

【請求項26】前記埋込みストラップ外方拡散領域は、前記キャバシタに隣接して配置されていることを特徴とする請求項2.4記載のメモリセル。

【請求項27】前記半導体基板またはウエハは、Siからなることを特徴とする請求項2.4記載のメモリセル。

【請求項28】前記キャバシタは、感温性の高誘電率材料を有することを特徴とする請求項2.4記載のメモリセル。

【請求項29】前記感温性の高誘電率材料は、550°Cより大きい温度にさらされたとき、不安定になり、またシリコンを酸化する材料であり、約7以上との誘電率を有することを特徴とする請求項2.8記載のメモリセル。

【請求項30】前記感温性の高誘電率材料は、約20～約10,000の誘電率を有する請求項2.9記載のメモリセル。

【請求項31】前記感温性の高誘電率材料は、バリウムストロンチウムチタニウム複合酸化物(BSTO)，鉛ジルコニアチタニウム複合酸化物(PZTO)，ストロンチウムビスマスタンタル酸塩(SBT)，およびTa_xO_yからなる群から選ばれる材料であることを特徴とする請求項2.8記載のメモリセル。

【請求項32】前記感温性の高誘電率材料は、BSTOであることを特徴とする請求項2.8記載のメモリセル。

【請求項33】メモリセルにおいて、

半導体基板またはウエハ内に設けられたトレンチ内に形成されたキャバシタと、

前記半導体基板またはウエハ内に形成されたMOSFETとを備え、前記MOSFETは、少なくとも1つのバターニングされたゲート導体スタックと、前記ゲート導体スタックと前記キャバシタとの間に設けられた近傍のソース／ドレイン領域と、前記近傍のソース／ドレイン領域とは反対の前記ゲート導体スタック間に設けられた遠方のソース／ドレイン領域とを有し、前記キャバシタと前記MOSFETとは、前記トレンチの端から前記ゲ

ート導体スタックに向かって横方向に延びている埋込みストラップ拡散領域により接続され、

前記キャバシタと前記ソース／ドレイン領域とは、約0.15ミクロン以下の最小フィーチャーサイズにフォトリソグラフィックにバーニングされた横方向寸法を有し、

前記メモリセルは、距離パラメータにより特徴づけられ、前記距離パラメータは、前記遠方のソース／ドレイン領域の近端と前記外方拡散領域の近端との間の横方向距離であり、前記距離パラメータは、前記ゲート導体スタックの遠端と前記トレンチの端との間の横方向距離の少なくとも約50%または約75%以上の値を有有することを特徴とするメモリセル。

【0001】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体メモリデバイスに関し、特に感温性の高誘電率材料が用いられ、ダイナミック・ランダムアクセス・メモリ(DRAM)のトレンチキャバシタの蓄積ノードに取り入れられる深トレンチDRAMキャバシタ構造に関する。

【0002】

【従来の技術】ダイナミック・ランダムアクセス・メモリ(DRAM)セルの製造において、重要な問題は、セル全体のサイズである。集積密度が増大するにつれて、電荷蓄積容量を維持しながら、蓄積キャバシタサイズを減少することが、半導体工業では望まれている。従来技術におけるこの問題に対する1つの解決方法は、深トレンチキャバシタを利用することである。このようなキャバシタ構造は、キャバシタの電荷蓄積容量を維持しながら、表面スペースを減少させてきた。

【0003】DRAMのような半導体メモリセル用の深トレンチ蓄積キャバシタの作製に関する1つの問題は、DRAMキャバシタデバイスの蓄積ノード内に、バリウムストロンチウムチタニウム複合酸化物(BSTO)のよう感温性の高誘電率材料をいかに取り入れるかである。

【0004】深トレンチ蓄積キャバシタの作製に関する他の問題は、アレイMOSFETの電気特性への埋込みストラップ外方拡散の影響である。現在、DRAM技術は、スタックトキャバシタ蓄積要素の使用と深トレンチ蓄積キャバシタの使用との2つの主要なカテゴリに分けられる。それぞれの方法は、互いに特定の利点および欠点を有している。例えば、深トレンチ技術は、今日のDRAMに要求される超微細リソグラフィおよびエッチングのプロセスを容易にする構造の種々の層の平坦化についての改良を与える。

【0005】図1は、トレンチ蓄積キャバシタ60およびアレイMOSFET62を有する従来技術のDRAMセル61の構造を示す断面図である。DRAMセル61

は、DRAM ICの表面積のうちの約 7 F^2 の面積を占めている。Fは、IC上のフィーチャーについてフォトリソグラフィに定められる最小のフィーチャーサイズである。DRAMセル61は、設計寸法63により特徴づけられる。この設計寸法63は、トレンチ蓄積キャバシタ60の近端64とゲート導体68の遠端66との間の横方向距離と定義される。現在の 7 F^2 DRAMセルの設計において、この寸法63は、公称1.5Fの値を有するように設計され、ゲート導体の幅が1.0Fであり、およびゲート導体の近端とトレンチ蓄積キャバシタ60との間の公称（設計上の）距離が0.5Fである。

【0006】最も広く使用されているトレンチ蓄積DRAM技術は、埋込みストラップ（図1参照）を利用して、アレイMOSFETと蓄積キャバシタ60との間に接続を形成する。埋込みストラップは、トレンチ蓄積キャバシタ60とシリコン基板（図1参照）との間の界面開口から離れて垂直および横方向に延びる拡散部を有している。拡散部は、蓄積トレンチ内のN+ポリシリコンから隣接の単結晶シリコン基板内への、ドーパント（すなわち、ヒ素）の外方拡散により形成される。この埋込みストラップ外方拡散の深さおよび横方向の伸びりは、アレイMOSFETのスケーラビリティ（scalability）にとって極めて好ましくない。

【0007】従来のDRAM世代では、現状技術の最小フィーチャーサイズFが、約0.5μmより大きいと、埋込みストラップ外方拡散の存在は、アレイMOSFETに多くの電気的な問題を与えない。しかし、現在のDRAM設計が、0.15μmに等しい最小フィーチャーサイズに近づき、典型的な埋込みストラップ外方拡散距離が、深トレンチ内のN+ポリシリコン間の界面から50nmよりも大きいと、埋込みストラップ外方拡散された接合は、ゲート導体（ワードライン）の下に延びるかもしれない。このことは、起こりうるであろう。というのは、寸法63に対する大きい外方拡散に加えて、ゲート導体と深い蓄積トレンチとの間にかなり大きいミスマッチが存在するからである。図1に示すように、アレイMOSFETへの埋込みストラップ外方拡散の侵入は、バラメータ α により特徴づけられる。バラメータ α は、ビットライン（BL）拡散部と埋込みストラップ（BS）外方拡散部との間の距離であり、ゲート導体端寸法63に対するトレンチ端の割合として表される。

【0008】図2は、 α の減少につれてどのようにデバイスのオフ電流が増大するかを示している。オフ電流の目標がすべての状況下で満たされていることを保証するためには、MOSFETのチャネルドーピングは増大されなければならない。しかし、増大されたチャネルドーピングは、接合漏洩の増大とデバイス性能の低下を引き起こし、データの保持時間を低下させる。したがって、

これらの好ましくない影響を最小にするために、 α の値をできるだけ大きくすることが非常に望まれる。

【0009】ビットライン拡散部と埋込みストラップ拡散部との間の距離は、レイアウト・グランドルールと、プロセス公差（オーバーレイおよびフィーチャーサイズ）と、トレンチ蓄積キャバシタからの埋込みストラップ外方拡散の量により決定される。この重要な距離は、図1に示される従来技術の深トレンチDRAMセルのバラメータ α により表される。埋込みストラップ外方拡散の量は、埋込みストラップがチップの製造プロセス中に受ける熟履歴により主に決定される。熟履歴は、ストラップドーパント不純物の拡散係数Dと、拡散に著しく寄与する各高温処理工程に費やされる時間の実効量とその積の和の平方根の関数である。

【0010】従来技術の深トレンチ蓄積キャバシタのDRAMセルについては、蓄積キャバシタのポリシリコンからのストラップ外方拡散に寄与する高溫処理工程は、一般的に、STI酸化、STI高密度化、ゲート絶縁膜酸化、トランシスターゲート酸化、ゲート絶縁膜酸化、および接合アーナーとからなる。これらの高溫処理の組合せ履歴は、蓄積トレンチ・ポリシリコンからシリコン基板内への典型的に50~100nmであるヒ素の外方拡散を生じる。これは、0.15μmの最小フィーチャーサイズを有する高密度トレンチDRAMセル設計にとって、距離 α が典型的に0.08~0.13μmであることを意味している。1ビット当たりの最小フィーチャー F の2倍の7倍（ 7 F^2 ）のレイアウト面積、および0.15μmに等しい最小フィーチャーサイズFを有する従来技術DRAMセルにとって、 α は、蓄積トレンチの端とゲート導体の遠端との間の設計距離の典型的に35%~60%である。図2に示すように、オフ電流は、この α の変化の範囲の100倍以上変化する。

【0011】可能な製造方法においては、深トレンチが、初めに半導体基板またはウエハ内に形成され、次に深トレンチは、感温性の高誘電率材料で充填される。感温性の高誘電率材料で深トレンチが充填された後に、浅いトレンチ分離（STI）領域、およびゲート導体（GC） STACKが、典型的に形成される。このような方法に関する問題は、STI領域およびGC STACKの形成に使用される高溫、深トレンチ充填に使用される感温性の高誘電率材料に悪影響を与える、埋込みストラップの外方拡散に寄与することである。特に、STI領域およびGC STACKの作製に使用される高処理温度での時間の長さは、感温性の高誘電率材料の分解を引き起こし、ストラップ外方拡散の熟履歴を増加させる。このようにして形成された高誘電率材料およびその副産物は、拡散して、下層の半導体材料と相互作用する。

【0012】このキャバシタ絶縁体の劣化の問題を避けるために、STACKトキャバシタDRAM技術についての従来技術では、感温性の高誘電率材料と半導体材料

(例えばシリコン)との間に、TiN、TiAlN、TaSiN、およびCoSiのような材料からなる薄い導電性のバリア層を利用してい。半導体メモリデバイス内のこのようなバリア層の存在は、酸素拡散の発生を妨げる一方で、追加の処理工程を付加し、および半導体メモリデバイスの全製造プロセスに対し費用を発生させる。

【0013】**スタックトキャバシタDRAM技術における従来技術、導電性バリア層の上に、典型的には、下部電極を形成するように導電性材料の薄層を付着する。この導電層は、高誘電率キャバジタの場合には、RuO₂、SrRuO₃、La-Sr-Co-O、およびIrO₂のような導電性酸化物、またはPtまたはIrのような金属からなる。SrRuO₃の1つの利点は、下層を最小量の酸化でまたは下層を酸化しないで、シリコン上に直接付着できることである。次に、高誘電率材料を、所望の厚さに電極層の上に付着できる。**

【0014】最後に、上部電極のために、下部電極に類似の材料が一般的に選択される。ポリシリコンまたはアモルファシリコンのオーバーレイを用うことが望まれる場合には、前述したように、バリア材料の薄層を付着して、アモルファス/ポリシリコンの化学的蒸着(LPCVD)の前に、シリコンと電極材料との間の不希望な反応を防ぐことができる。

【0015】従来DRAMのスタックトキャバシタ構造について、感温性の高誘電率材料を使用する際に挙げられる欠点の故に、これらの欠点のすべてを克服する、DRAMキャバシタ構造の蓄積ノードに感温性の高誘電率材料を取り入れたトレンドRAMキャバシタ構造を作製する新規かつ改良された方法を開発することが有益である。

【0016】この発明の作製方法の実施例においては、トレンド蓄積キャバシタからの埋込みストラップ外方拡散は、STIライナー(liner)酸化工程、犠牲酸化工程、およびゲート酸化工程を受けない。このことは、熱履歴および埋込みストラップ外方拡散の量を制限する。従来技術の作成方法では、埋込みストラップは、上述した3つの酸化工程を含むためにさらに拡散する。

【0017】

【発明が解決しようとする課題】この発明の1つの目的は、デバイスのキャバシタ領域内に感温性の高誘電率材料を容易に取り入れることを可能にするトレンドキャバシタ半導体メモリデバイスを作製する方法を提供することにある。

【0018】この発明の他の目的は、蓄積ノード材料(すなわち感温性の高誘電率材料)が、メモリデバイスのSTI領域およびGC STACK領域を設ける過程で劣化しないトレンドキャバシタ半導体メモリデバイスを作製する方法を提供することにある。

【0019】この発明のさらには他の目的は、感温性の高

誘電率材料が下層の半導体材料内に拡散しないトレンドキャバシタ半導体メモリデバイスを作製する方法を提供することにある。

【0020】この発明のさらには他の目的は、従来技術におけるアレイMOSFETへの好ましくない電気的影響を軽減する制限された埋込みストラップ外方拡散を生じる方法を提供することにある。

【0021】

【課題を解決するための手段】これらと他の目的および利点は、表面に予め形成された部分GC STACKの層をすでに有する半導体構造において、STI領域の形成後に蓄積トレンドチを形成することによって、この発明において達成できる。STI形成後にトレンドキャバシタを形成することにより、感温性の高誘電率材料、STIの形成の際の高温にさらされない。さらに、最初の構造は、表面にすでに部分GC STACKを有するので、感温性の高誘電率材料は、GC STACKの形成の際の高温にさらされない。したがって、感温性の材料の劣化はほとんど生じない。

【0022】特に、この発明の作製方法は、(a)少なくとも1つの蓄積トレンドチ領域と、前記蓄積トレンドチに隣接し陞起した浅いトレンドチ分離(STI)領域とを有する半導体基板またはウエハを備える半導体構造を設ける工程を含み、前記半導体構造は、前記基板またはウエハ内に形成される部分ゲート導体STACKの予め形成された層を有し、これらの層は、前記蓄積トレンドチ領域と前記陞起したSTI領域とにより隔離されており、

(b) 前記蓄積トレンドチ領域に下部電極を形成する工程と、(c) 前記下部電極と前記蓄積トレンドチ領域との間に感温性の高誘電率材料を形成する工程と、

(d) 前記感温性の高誘電率材料の上に上部電極を形成する工程と、(e) 前記蓄積トレンドチ領域をポリシリコンで充填する工程と、(f) 前記蓄積トレンドチ領域にキャバシタの作製を完了する工程と、(g) 前記予め形成されたゲート導体STACK層から、バーナーリングされたゲート導体領域を形成する工程と、(h) トレンドキャバシタ半導体メモリセルの作製を完了するために、連続するデバイス接続を形成する工程と、を含んでいる。

【0023】この発明特に好適な実施例において、トレンド蓄積領域は、STI形成および部分GC STACK層の形成の後に形成される。この発明の他の非常に好適な実施例においては、導電性バリア層が、ポリシリコンの充積の前に上部電極の上に形成される。

【0024】この発明によれば、トレンド蓄積キャバシタの作製は、STIの形成の後に続く。このことは、STI酸化、STI高密度化、ゲート犠牲酸化、およびトランジスタゲート酸化を含む従来技術の高誘電率工程が、埋込みストラップ外方拡散に寄与しないことを意味する。ストラップ外方拡散の熱履歴からこれらの高誘電率工程が排除されることには、50%よりも大きい熱履歴の減少

を典型的に生じる。この熱履歴の減少は、ストラップ外方拡散の減少につながる。ストラップ外方拡散の減少は、典型的に、従来技術の作製方法による外方拡散距離の30%より大きい。このストラップ外方拡散の減少（典型的に50nmより小さい）は、パラメータ δ をかなり増大させる。パラメータ δ の増大は、一定のチャネルドーピング濃度についてオフ電流を減少させる。この発明の δ は、従来技術構造の δ よりも常に大きい。この発明の構造に対しては、 δ は、 $F=0.15\mu\text{m}$ の7F²セルについて、典型的には、蓄積トレンチ端とゲート導体の遠端との間の設計距離の少なくとも50%であり、あるいは75%より大きい。 δ に対するMOSFETのオフ電流の高感度性のために、この発明の構造は、 δ が設計距離の3.5%～6.0%である従来技術に対してかなりの改善を示す。

【0025】

【発明の実施の形態】感温性の高誘電率材料をキャバシタの蓄積ノードに取り入れたトレンチキャバシタの半導体メモリデバイスを作製する方法を提供するこの発明を、図面を参照しながら詳細に説明する。複数の図において、同じ要素をなすものには同一の参照番号および対応する参照番号で示される。

【0026】この発明の作製方法を説明する前に、以下のことを再び強調しておく。すなわち、この発明の作製方法は、STI領域と予め形成されるGC STACKの層とが形成された後に、トレンチ蓄積領域を形成することにより、従来技術の深トレンチ半導体メモリセルの欠点を克服する。高温のSTIおよびGCの処理後に、蓄積トレンチを形成することによって、メモリセルの蓄積トレンチ内に形成された感温性の高誘電率材料は劣化せず、したがって、拡散により下層の半導体材料と相互作用しない。

【0027】さらに、この発明においては、埋込みストラップ外方拡散は、従来技術における大きい埋込みストラップ外方拡散に寄与するいくつかの高温処理工程を受けない。したがって、この発明において形成される埋込みストラップの横方向外方拡散は、従来技術メモリセル構造と比較して著しく減少する。

【0028】以上のことについて留意して、図3を考察する。図3は、この発明の工程(a)において使用される最初の半導体構造を示す。特に図3に示される半導体構造は、少なくとも1つの蓄積トレンチ領域12と、蓄積トレンチ領域12に隣接する隆起した浅いトレンチ分離(STI)領域14とを有する半導体基板またはウエハ10を備えている。この構造は、上に形成される部分ゲート導体STACKの予め形成された層16をさらに備えている。層16は、蓄積トレンチ領域12と隆起したSTI領域14とともに離間されている。

【0029】半導体基板またはウエハ10は、Si、Ge、SiGe、GaAs、InAs、InP、およびす

べてのIII-V族化合物（これらに限られるものではない）を含むあらゆる半導体材料からなる。これらの半導体材料のうち、半導体基板またはウエハ10は、Siよりなるのが好ましい。半導体基板またはウエハは、製造される半導体メモリデバイスの種類に依存してp型またはn型とすることができる。

【0030】図3に示す部分ゲート導体の予め形成された層は、SiO₂のような下部ゲート酸化物層16a、中央部のポリシリコン層16b、およびSi₃N₄のような上部研磨停止層16cからなる。これらの層は、半導体基板またはウエハの表面上に、初めて層16a、次に層16b、最後に層16cの順に形成される。

【0031】図3に示す構造は、当業者に周知の一般的な方法を使用して作製される。例えば、図3に示す構造を図1～図18に示すように作製できる。特に、図15に示すように、半導体基板またはウエハ10が、まず最初に与えられ、ゲート酸化物層16aが、当業者に周知の一般的な熟成具の方法を使用して、半導体基板またはウエハ10の表面上に成長させられる。これは、約4～約10nmの厚さを有するゲート酸化物が半導体基板またはウエハの表面上に形成されるまで、酸素空気环境下において約800℃～約1100℃の温度で半導体基板またはウエハを加熱することを含んでいる。

【0032】次に、ポリシリコン層16bが、当業者に周知の普通的な付着方法を使用して、ゲート酸化物層16aの表面上に形成される。ポリシリコン層16bを形成するのに使用できる適切な付着方法は、化学的蒸着法、アラズマ気相成長法、減圧化学的蒸着法、高密度化学的蒸着法、他の同様の付着方法（これらに限られるものではない）を含んでいる。形成されるポリシリコン層の厚さは、典型的に約10～約500nmである。

【0033】次に、研磨停止層16cが、ポリシリコン層16b上に、当業者に周知の上述した付着方法を含む、普通的な付着方法を使用して形成される。研磨停止層は、次の平坦化工程とエッティング工程の際に侵食を阻止するSi₃N₄のようないくつかの一般的な材料からなる。形成される研磨停止層の厚さは、典型的に約10～約500nmである。

【0034】図3の構造を形成する次の工程を、図16に示す。特に、図16は、層16a、16b、16c内と半導体基板またはウエハ10の表面上に形成されるトレンチ14aを含む構造を示す。トレンチ14aは、STI領域14の形成に用いられることがわかる。図16の構造は、すべてが当業者に周知の、普通的リソグラフィ、エッティング、および平坦化を使用して作製される。

【0035】特に、図16に示す構造は、スピンドル・コーティングおよびディップ・コーティングを含む普通的の付着方法を使用して、図15に示す構造の層16cの上に予め形成されたパターンを有する、一般的なレジ

ストを設けることにより作製される。次に、このバーナーは、層16c, 16b, 16aを経て、半導体基板またはウエハ10内に、当業者に周知の普通のエッチングの方法によりエッチングされる。使用できる適切なエッチングの方法は、反応性イオンエッチング(RIE), プラズマエッチング、およびイオンビームエッチング(これらに限られるものではない)を含む。半導体基板またはウエハ内に行われるエッチングの深さは、典型的に約100nm～約700nmである。レジストは、このとき、当業者に周知の一般的な剥離方法を使用して除去される。

【0036】次に、熱二酸化シリコン層(図示せず)が、酸素含有の雰囲気の温度と、約750°C～約110°Cの温度への加熱とを含む、一般的な熱成長方法を使用して、隆起したSTI領域のトレンチ内に成長せられる。トレンチ14a内に成長した二酸化シリコン層の厚さは、典型的に約3～約30nmである。次に、STI誘電体(図示せず)が、減圧化学的蒸着またはプラズマアシスト・プロセスのような普通的付着方法を使用して、熱二酸化シリコン層の上に形成される。適切なSTI誘電体は、高密度プラズマオルトケイ酸テトラエチル(HDPTEOS)酸化物(これに限られるものではない)を含む。図には、上記2つの要素、すなわち、熱二酸化シリコン層およびSTI誘電体が示されていないことに注意すべきである。STI領域14は、これら2つの要素と通常のSTI領域内に存在できる他の要素とを含んでいる。

【0037】次に、図16に示す平坦構造を与えるために、化学機械研磨(CMP), RIE、および研削(これらに限られるものではない)を含む当業者に周知の普通的平坦化方法を用いて、構造が平坦化される。

【0038】図17に、図3に示される構造を作製するのに用いられる次の工程を示す。特に、図16の平坦化された構造に対して、誘電体ハードマスク層18、例えばホウ素ドープされた二酸化シリコン(BSG)が形成される。誘電体マスク層は、普通的リソグラフィ技術を利用してパターニングされ、誘電体ハードマスクの一部を除去するように反応性イオンエッチングされる。パターニングされた構造を図17に示す。

【0039】次に、マスキング膜としてハード誘電体層18を用いて、蓄積トレンチ20が、半導体基板またはウエハ10内に形成される。特に、HBr, NF₃, O₂、またはHeのような反応性のガスを使用するRIEが、蓄積トレンチ20を作製するのに使用される。「蓄積トレンチ」は、エッチングが、約1～約10μmの深さに行われることを意味する。デバイスのキャパシタ領域を形成する蓄積トレンチ20を有する構造を図18に示す。誘電体ハードマスク18は、HF-エッチング・プロセスにより除去され、図3に示す構造を与える。

【0040】上記説明は、図3に示す構造を作製する1

つの方法を提供することを再び強調しておく。図3に示す構造を形成する他の方法もまた既知であり、この明細書において企図されている。

【0041】この発明の工程(b)によれば、当業者に周知の通常の付着方法を使用して、下部電極22が、蓄積トレンチ20(底壁部、側壁、深いトレンチの外側の領域)内に形成される。例えば、下部電極22は、化学的蒸着、有機金属化合物の蒸着、電気メッキ、無電解メッキにより形成できる。下部電極22を形成するのに用いられる材料は、キャパシタの下部電極として典型的に用いられるあらゆる導電性酸化物を含む。典型的な導電性酸化物は、RuO₂, SrRuO₃, La-Sr-Co-O, IrO₂、および他の同様な導電性酸化物(これらに限られるものではない)を含む。導電性酸化物の他に、PtまたはIrのような金属も下部電極として用いることができる。下部電極22を含む構造を図4に示す。

【0042】この発明の選択的な実施例においては、下部電極22を形成する前に、拡散バリア層が、蓄積トレンチ20内に形成される。この発明において選択的に用いることのできる適切な拡散バリア層は、半導体基板またはウエハ内の酸素の拡散を防ぐことができる、Ti, TiN, TiAlN, TaSiN, CoSi、および他の同様な材料(これらに限られるものではない)を含む。化学的蒸着または物理的蒸着は、選択的拡散バリア層を形成する際にこの発明において用いることのできる2つの付着方法である。

【0043】下部電極22の形成後、感温性の高誘電率材料の層24が、下部電極の表面上に形成される(図5を参照)。「感温性」という用語は、この明細書では、シリコンと接触して600°Cより高い温度に加热されると、シリコンを酸化し、およびシリコンとの反応または他の化合物への分解により、劣化する材料を表すのに使用される。しかし、用いられる感温性の高誘電率材料は、シリコンと直接接触しない。それにもかかわらず、感温性の高誘電率材料は、約50°C以上の温度において、高誘電率材料自身が不安定になる。他方、用語「高誘電率材料」は、約7より大きい真空の誘電率を有する材料を表す。より好適には、この発明において用いられる高誘電率材料は、約20～約10,000の誘電率を有する。

【0044】この発明において用いることができる適切な感温性の高誘電率材料は、バリウムストロンチウムナトリウム複合酸化物(BSTO)、錫ジルコニウムチタン複合酸化物(PZTO)、ストロンチウムビスマスantanタル酸塩(SBT)、およびTa₂O₅のようないべろブカイト型酸化物を含む。感温性の高誘電率材料は、下部電極22上に、化学的蒸着またはスパッタリングを含む普通的付着方法を用いて形成される。

【0045】次に、上部電極26が、感温性の材料24

の上に化学的蒸着のような普通の付着方法を用いて形成される。上部電極は、下部電極と同じまたは異なる導電性酸化物から形成できる。したがって、上部電極26を、 RuO_2 、 SrRuO_3 、 $\text{La}-\text{Sr}-\text{Co}-\text{O}$ 、および IrO_2 から形成できる。あるいは、 Pt または Ir を用いることができる。上部電極26を有する構造を、図6に示す。

【0046】選択的ではあるが、この発明の非常に好適な実施例においては、導電性バリア層が、トレンチをポリシリコン28で充填する前に、上部電極26の上に形成される。一般的な付着方法により形成される、この導電性バリア層は、上部電極26とポリシリコンとの間の相互作用を防止する働きをする。 TiN 、 TiAlN 、 CoSi 、および TaSiN は、この発明において用いることのできる導電性バリア層のいくつかの例である。図を明瞭にするために、導電性バリア層を図示していない。

【0047】蓄積トレンチ20の残りの部分は、普通の付着方法を使用し、ポリシリコン28、好適には N^+ ドープされたポリシリコンで充填される。次に、ポリシリコンは、 SF_6 、 He 、 O_2 、または NF_3 のようなガスを含むドライエッティングを使用して、約0.5~約1.5 μmの深さにリセスされる。この発明の組み合わせた工程から得られた構造を図7に示す。

【0048】上述のリセス・プロセス、および図8~図12についての説明は、蓄積トレンチ領域内にキャバシタを作製する際に、この発明において使用される処理工程に関する。

【0049】次に、図8に示すように、コンフォーマルな絶縁性カラー酸化物30が、半導体基板またはウエハ10と、上記リセス・プロセスによって露出されたまま残された蓄積トレンチ20の側壁との間に形成される。コンフォーマル絶縁性カラー酸化物が、蓄積トレンチの幅の約1.0~約3.0%の厚さに、減圧化学的蒸着法またはプラズマアシスト化学的蒸着のよう一般的な付着方法により形成される。次に、 C_4F_8 、 CH_3F 、 CF_4 、 C_3F_8 、 CO 、 O_2 、または Ar のような、異方性除去処理ガスを使用するドライエッティングを用いて、ウエハ面および蓄積トレンチ20の底部から材料をエッチングするが、蓄積トレンチの側壁に沿う材料は残しておく。次に、トレンチは、減圧化学的蒸着されたポリシリコン32で充填される。このポリシリコンは、ドープするあるいはドープしないことができ、ドライエッティング方法または化学機械研磨方法を用いて平坦化することができる。

【0050】次に、図9に示すように、減圧化蒸着されたポリシリコンは、前述したようなドライエッティングを用いて、予め決められた深さ（例えば、2.0~5.0 nm）までリセスされる。次に、カラー絶縁体は、蓄積トレンチの上部領域からHF含有エッチングを用いて除去

される（図10参照）。

【0051】蓄積トレンチ内へのキャバシタの作製を完成する際に、この発明に使用される次の工程は（図11参照）、減圧化学蒸着のポリシリコン層34を付着することである。このポリシリコン層34は、構造上でドープする、あるいはドープしないことができ、次に半導体基板またはウエハ10の表面下約5~約30 nmの深さに HBr 、 Cl_2 、 HCl 、 SF_6 、 He 、または O_2 のようなガスを含む異方性ドライエッティング方法を用いてリセスする。

【0052】次に、トレンチ上部酸化物（TTO）誘電体膜38を形成し、研磨停止層16cの上部を平坦化することにより、キャバシタ36が蓄積トレンチ内に完全に作製される（図12参照）。TTO誘電体膜は、減圧化学的蒸着法またはプラズマ励起化学的蒸着を含む一般的な付着方法により形成され、平坦化は、前述した平坦化の方法の1つ、例えば化学機械研磨を用いて行なわれる。

【0053】図13に、完全に形成されたゲート導体スタックを有する構造を示す。ゲート導体スタックは、予め形成されたゲート導体層16a、16b、ポリシリコン層16d、サリサイド層（すなわち、 WSi ）16e、およびキャップ層（ Si_3N_4 ）16fを有する。ポリシリコン層16dは、ポリシリコン層16bについて説明されたものと同じ付着方法を使用して形成される。サリサイド層16eは、化学的蒸着またはスペッタリングにより形成され、約2.0~約2000 nmの厚さを有する。キャップ層16fは、減圧化学的蒸着法により形成され、最終的に付着された厚さ約2.0~約300 nmを有する。バリア層16cは、層16d、16e、16fを付着する前に除去されることに注意すべきである。

【0054】次に、複数のゲートスタック層が、一般的なリソグラフィ、およびゲート酸化物層16aおよびTTO/STI酸化物内で停止するRIEドライエッティング方法を使用してパターニングされる（図14参照）。ゲート側壁の酸化を一般的な方法によって行なうことができる。側壁ベースペーパー2（例えば、 Si_3N_4 ）が、パターニングされたゲート導体スタック40aの上に、当業者に周知の付着方法を使用して形成される。

【0055】次に、半導体メモリ構造は、以下のようにして完全に作製される。ソース/ドレイン拡散領域50が、適切なアニール工程が競く一般的なイオン注入を使用して、半導体基板またはウエハ10内に形成される。図14において、50Aはピットライン拡散領域を表し、およびメモリセルのMOSFET領域は、パターニングされたゲートスタック領域40a、領域50、および領域50Aを有するとして定められる。前述したゲート側壁の酸化工程と接合アニール工程は、ポリシリコン領域28からポリシリコン領域32および34を経て、N₊ドーピントを移動させ、制限された埋込みスト

ラップ外方拡散領域4を形成する。この発明の制限された埋込みストラップ外方拡散領域は、50nmより小さい横方向寸法2を有する。より好適には、埋込みストラップの横方向寸法2は、約1.5~約3.0nmである。

【0056】ホウ素一リンドープされたガラスのような絶縁層4が、バターニングされたゲート導体領域40aと、露出されたゲート酸化物領域16aと、キャバシタ36とを含む構造の上に、スピンドオン・コーティングおよび化学的蒸着のような一般的な付着方法を使用して付着される。次に、絶縁層4は、前述した平坦化方法の1つを使用して平坦化され、ポーダレス拡散コンタクト48は、普通のリソグラフィ、ドライエッティング、ボリシリコン層の付着、および平坦化により形成される。

【0057】埋込みストラップの横方向外方拡散は、従来技術の構造に比べて著しく減少しているので、図14のメモリセルは従来技術のメモリセルと異なることに注意すべきである。さらに、距離 α_2 は、この発明の構造では、図1に示す種類のよう従来技術の構造と比べて大きい。このより大きい距離 α_2 は、従来技術の構造に一般的に見られるオフ電流の問題が著しく減少することを意味している。

【0058】トレンチキャバシタの近端とゲート導体スタック40aの端端との間の設計距離 α_3 が、0.15μmの最小フィチャーサイズFの約1.5倍であるDRAMセルにおいては、距離 α_2 は、距離 α_3 の公称少なくとも50%である。公称7.5%以上の距離 α_2 は、Fが、0.15ミクロンに等しい7F²DRAMセルについて開示された方法を用いて実現できる。

【0059】この発明を、特に、好適な実施例について説明したが、形態および細部の上述および他の変更を、この発明の趣旨および範囲から逸脱することなく行えることは、当業者に理解されるであろう。

【0060】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) トレンチキャバシタ半導体メモリ構造を作製する方法において、(a) 少なくとも1つの蓄積トレンチ領域と、前記蓄積トレンチに隣接し隆起した浅いトレンチ分離(STI)領域とを有する半導体基板またはウエハを備える半導体構造を設ける工程を含み、前記半導体構造は、前記基板またはウエハ内に形成される部分ゲート導体スタックの予め形成された層を有し、これらの層は、前記蓄積トレンチ領域と前記隆起したSTI領域により離隔されており、(b) 前記蓄積トレンチ領域内に下部電極層を形成する工程と、(c) 前記下部電極層と前記蓄積トレンチ領域の内側壁と/orに感温性の高誘電率材料を形成する工程と、(d) 前記感温性の高誘電率材料の上に上部電極を形成する工程と、(e) 前記蓄積トレンチ領域をボリシリコンで充填する工程と、

(f) 前記蓄積トレンチ領域にキャバシタの作製を完了する工程と、(g) 前記予め形成されたゲート導体スタック層から、バターニングされたゲート導体領域を形成する工程と、(h) トレンチキャバシタ半導体メモリセルの作製を完了するために、連続するデバイス接続を形成する工程とを含む、ことを特徴とするトレンチキャバシタ半導体メモリ構造を作製する方法。

(2) 前記STI領域と前記部分ゲート導体スタック層とは、前記トレンチキャバシタの作製の前に形成されることを特徴とする(1)の方法。

(3) 前記半導体基板またはウエハは、Si, Ge, SiGe, GeAs, InAs, InP、および他のすべてのII/V族化合物からなる群から選ばれる半導体材料からなることを特徴とする(1)の方法。

(4) 前記半導体基板またはウエハは、Siからなることを特徴とする(1)の方法。

(5) 前記浅いトレンチ分離電極は、熱二酸化シリコン層と浅いトレンチ分離誘電体とを有することを特徴とする(1)の方法。

(6) 前記予め形成された部分ゲート導体スタックは、下部ゲート酸化物層と、ボリシリコンの中央部層と、上部ゲート層とからなり、これらの層は前記半導体基板またはウエハ上に順に形成されることを特徴とする(1)の方法。

(7) 前記下部および上部電極は、RuO₂, SrRuO₃, La-Sr-Co-O, IrO₂, Pt, およびIrからなる群から選ばれる、同じまたは異なる導電性材料から形成されることを特徴とする(1)の方法。

(8) 前記下部および上部電極は、化学的蒸着、有機金属化合物の蒸着、電気メッキ、および無電解メッキからなる群から選ばれる付着方法により形成されることを特徴とする(1)の方法。

(9) 前の工程(b)の前に、拡散バリア層が前記蓄積トレンチに内に形成されることを特徴とする(1)の方法。

(10) 前記拡散バリア層は、化学的蒸着または物理的蒸着により形成されることを特徴とする(9)の方法。

(11) 前記拡散バリア層は、TiN, TiAlN, CoSi、またはTaSiNからなることを特徴とする(9)の方法。

(12) 前記感温性の高誘電率材料は、550°Cより大きい温度にさらされたとき、不安定になり、またシリコンを酸化する材料であり、約7以上の誘電率を有することを特徴とする(1)の方法。

(13) 前記感温性の高誘電率材料は、約20~約10,000の誘電率を有することを特徴とする(12)の方法。

(14) 前記感温性の高誘電率材料は、バリウムストロニチウムチタニウム複合酸化物(BSTO)、錫ジルコニアムチタニウム複合酸化物(PZTO)、ストロンチ

ウムビスマスタンタル酸塩(SBT), および Ta_2O_5 からなる群から選ばれる材料であることを特徴とする(1)の方法。

(15) 前記感温性の高誘電率材料は、BSTOであることを特徴とする(1)の方法。

(16) 前記感温性の高誘電率材料は、化学的蒸着およびスパッタリングからなる群から選ばれる付着方法により形成されることを特徴とする(1)の方法。

(17) 工程(e)の前記ボリシリコンは、ドーパントでドープされることを特徴とする(1)の方法。

(18) 前記ドーパントは、N⁺ドーパントであることを特徴とする(17)の方法。

(19) 前記蓄積トレンチ領域は、約1~約10μmの深さを有することを特徴とする(1)の方法。

(20) 工程(d)後ではあるが工程(e)の前に、導電性バリア層が前記上部電極上に形成されることを特徴とする(1)の方法。

(21) 前記導電性バリア層は、TiN, TiAlN, CoSi, またはTiSiNであることを特徴とする(20)の方法。

(22) 前記ボリシリコンから前記半導体基板またはウエハ内にドーパントの外方拡散を生じさせて、横方向寸法が50nmより小さい埋込みストラップ外方拡散を形成する、連続するゲート調整の酸化工程とアーチル工程をさらに含むことを特徴とする(17)の方法。

(23) 前記外方拡散領域の横方向寸法は、約15nm~約30nmであることを特徴とする(22)の方法。

(24) 半導体基板またはウエハ内に設けられたトレンチ内に形成されたキャバシタと、前記半導体基板またはウエハ内に形成されたMOSFETとを備え、前記MOSFETは、少なくとも1つのバターニングされたゲート導体スタッカと、前記ゲート導体スタッカと前記キャバシタとの間に設けられた近傍のソース/ドレイン領域と、前記近傍のソース/ドレイン領域とは反対の前記ゲート導体スタッカ間に設けられた遠方のソース/ドレイン領域とを有し、前記キャバシタと前記MOSFETとは、前記トレンチの端から前記ゲート導体スタッカに向かって横方向に延びている埋込みストラップ拡散領域により接続され、前記キャバシタと前記ソース/ドレイン領域とは、約0.15ミクロン以下の最小フィーチャーサイズにフォトリソグラフィックにバターニングされた横方向寸法を有し、前記メモリセルは、距離パラメータにより特徴づけられ、前記距離パラメータは、前記遠方のソース/ドレイン領域の近端と前記遠方拡散領域の近端との間の横方向距離であり、前記距離パラメータは、前記ゲート導体スタッカの遠端と前記トレンチの端との間の横方向距離の少なくとも約50%または約75%以上の値を有することを特徴とするメモリセル。

(31) 前記感温性の高誘電率材料は、バリウムストロニウムチタニウム複合酸化物(BSTO), 鎆ジルコニウムチタニウム複合酸化物(PZTO), ストロンチウムビスマスタンタル酸塩(SBT), および Ta_2O_5 からなる群から選ばれる材料であることを特徴とする(28)のメモリセル。

(32) 前記感温性の高誘電率材料は、BSTOであることを特徴とする(28)のメモリセル。

(33) メモリセルにおいて、半導体基板またはウエハ内に設けられたトレンチ内に形成されたキャバシタと、前記半導体基板またはウエハ内に形成されたMOSFETとを備え、前記MOSFETは、少なくとも1つのバターニングされたゲート導体スタッカと、前記ゲート導体スタッカと前記キャバシタとの間に設けられた近傍のソース/ドレイン領域と、前記近傍のソース/ドレイン領域とは反対の前記ゲート導体スタッカ間に設けられた遠方のソース/ドレイン領域とを有し、前記キャバシタと前記MOSFETとは、前記トレンチの端から前記ゲート導体スタッカに向かって横方向に延びている埋込みストラップ拡散領域により接続され、前記キャバシタと前記ソース/ドレイン領域とは、約0.15ミクロン以下の最小フィーチャーサイズにフォトリソグラフィックにバターニングされた横方向寸法を有し、前記メモリセルは、距離パラメータにより特徴づけられ、前記距離パラメータは、前記遠方のソース/ドレイン領域の近端と前記遠方拡散領域の近端との間の横方向距離であり、前記距離パラメータは、前記ゲート導体スタッカの遠端と前記トレンチの端との間の横方向距離の少なくとも約50%または約75%以上の値を有することを特徴とするメモリセル。

【図面の簡単な説明】

【図1】従来技術のトレンチ蓄積DRAM構造の断面図である。

【図2】外方拡散部とピットライン拡散部との間の距離 α に対するデバイス・オフ電流のモデル化された感度を示すグラフである。

【図3】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図4】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図5】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図6】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

(25) 前記横方向外方拡散は、約1.5~約30nmであることを特徴とする(24)のメモリセル。

(26) 前記埋込みストラップ外方拡散領域は、前記キャバシタに隣接して配置されていることを特徴とする(24)のメモリセル。

(27) 前記半導体基板またはウエハは、Siからなることを特徴とする(24)のメモリセル。

(28) 前記キャバシタは、感温性の高誘電率材料を有することを特徴とする(24)のメモリセル。

(29) 前記感温性の高誘電率材料は、550°Cより大きい温度にさらされたとき、不安定になり、またシリコンを酸化する材料であり、約7以上の誘電率を有することを特徴とする(28)のメモリセル。

(30) 前記感温性の高誘電率材料は、約2.0~約1.0, 000の誘電率を有する(29)のメモリセル。

イスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図7】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図8】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図9】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図10】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図11】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図12】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図13】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図14】キャバシタの蓄積ノード内に感温性の高誘電率材料を取り入れたトレンチキャバシタ半導体メモリデバイスを作製する際に、この発明において使用される種々の処理工程を示す図である。

【図15】図3に示す半導体構造の作製に使用される種々の処理工程を示す図である。

【図16】図3に示す半導体構造の作製に使用される種々の処理工程を示す図である。

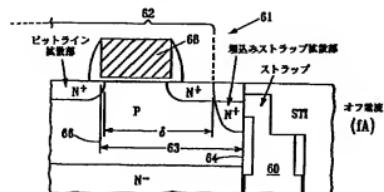
【図17】図3に示す半導体構造の作製に使用される種々の処理工程を示す図である。

【図18】図3に示す半導体構造の作製に使用される種々の処理工程を示す図である。

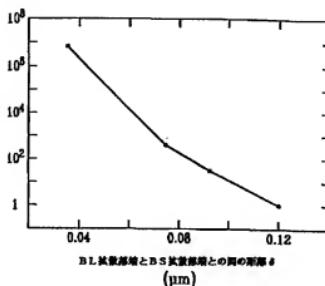
【符号の説明】

- 1.0 半導体基板またはウエハ
- 1.2 蓄積トレンチ
- 1.4 浅いトレンチ分離（STI）
- 1.4a トレンチ
- 1.6, 4.0a ゲート導体スラック層
- 1.6a ゲート酸化物層
- 1.6b, 1.6d, 3.4 ポリシリコン層
- 1.6c 研磨停止層
- 1.6e サリサイド層
- 1.6f キャップ層
- 1.8 誘電体ハードマスク
- 2.0 蓄積トレンチ
- 2.2 下部電極
- 2.4 感温性の高誘電率材料
- 2.6 上部電極
- 2.8, 3.2 ポリシリコン
- 3.0 絶縁性カラーボ酸化物
- 3.6 キャバシタ
- 3.8 トレンチ上部酸化物（TTO）誘電体膜
- 4.3 設計距離
- 4.4 埋込みストラップ外方拡散
- 4.6 複縁体層
- 4.8 ポーダレス拡散コントラクト
- 5.0 ソース／ドレイン拡散領域
- 5.0A ピットライン拡散領域
- 5.2 橫方向寸法
- 6.0 トレンチ蓄積キャバシタ
- 6.2 アレイMOSFET
- 6.1 DRAMセル
- 6.4 キャバシタの近端
- 6.6 ゲート導体の遠端
- 6.8 ゲート導体

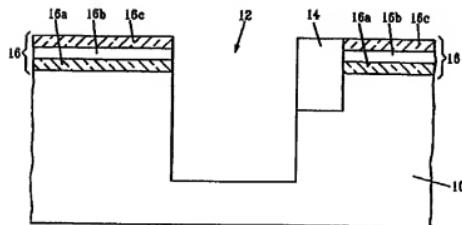
【図1】



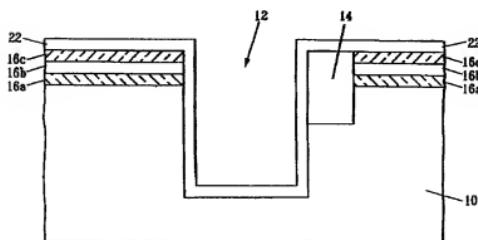
【図2】



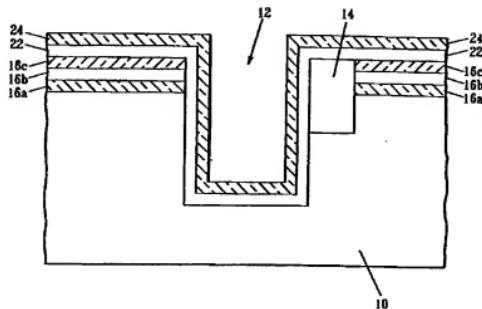
【図3】



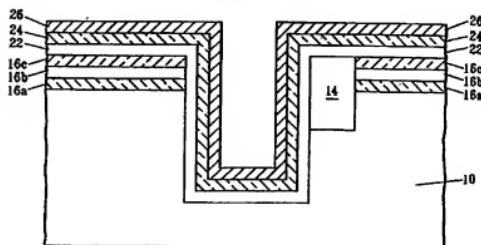
【図4】



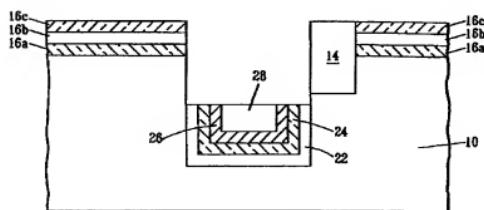
【図5】



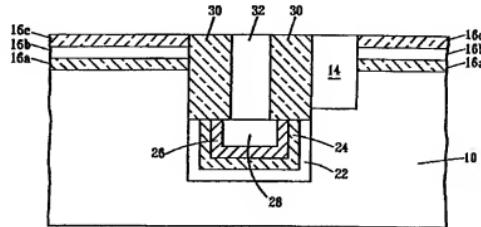
【図6】



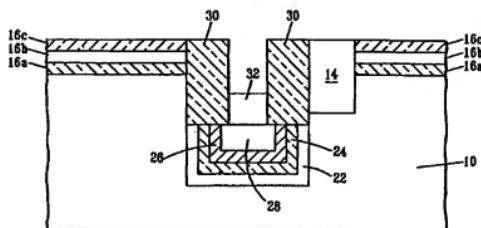
【図7】



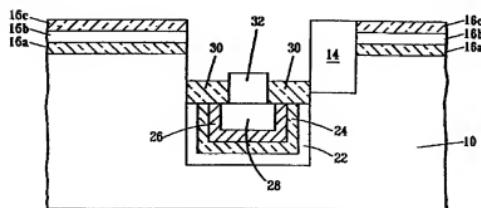
【図8】



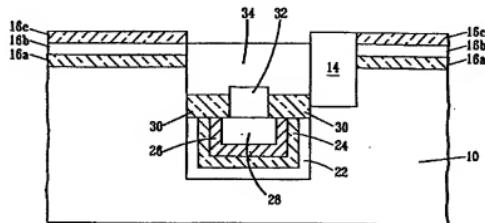
【図9】



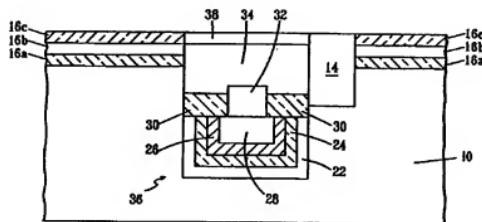
【図10】



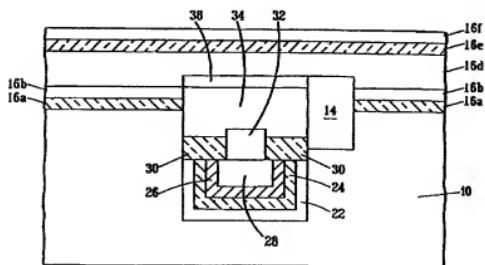
【図11】



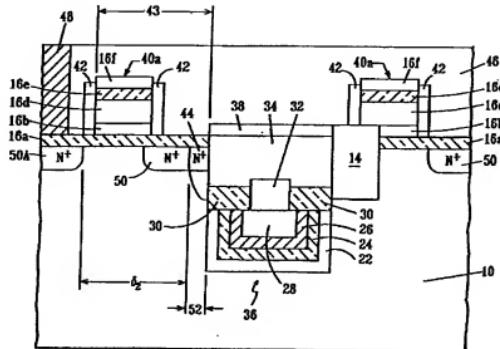
【図12】



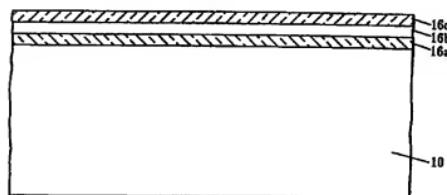
【図13】



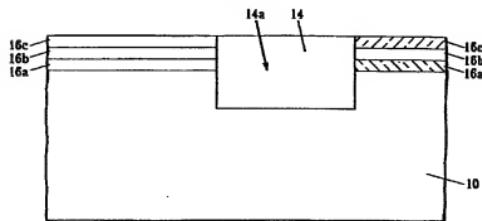
【图14】



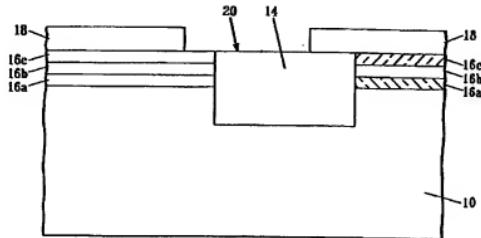
[图15]



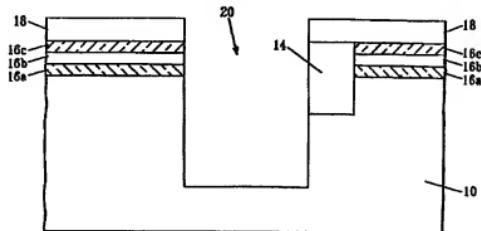
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 ラジャラオ・ジャミィ
アメリカ合衆国 12590 ニューヨーク州
ワッピングガーズ フォールズ ベンプロ
ーク サークル 5シー

(72)発明者 ジャック・エイ・マンデルマン
アメリカ合衆国 12582 ニューヨーク州
ストームヴィル ジャミィ レーン 5
(72)発明者 カール・ジェイ・レイデンス
アメリカ合衆国 12540 ニューヨーク州
ラグランジュビル カシュラー ドライ
ブ 35